

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-183299

(43)Date of publication of application : 30.06.2000

(51)Int.Cl.

H01L 27/108

H01L 21/8242

(21)Application number : 10-358082

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.12.1998

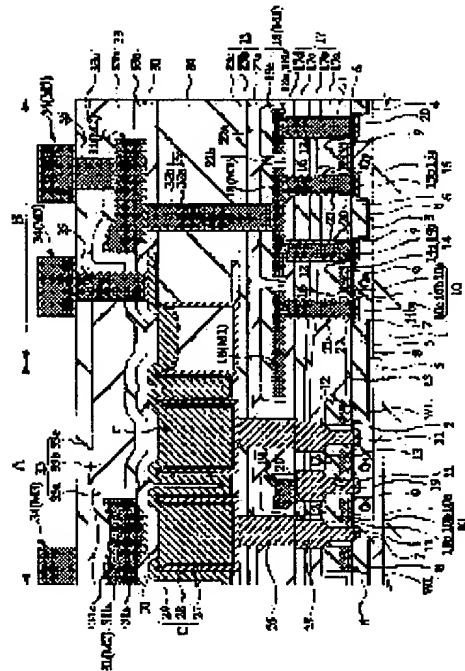
(72)Inventor : IIJIMA SHINPEI
YAMAMOTO TOMOSHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique for eliminating capacity loss in an information accumulation capacitor for use with a silicon nitride film for a capacity insulation material.

SOLUTION: A capacitor C for accumulating information is composed of an accumulation electrode 27 consisting of a doped polycrystalline silicon film, a capacity insulation film that is made of a silicon nitride film 28, and a plate electrode that is made of a titanium nitride film 29. By composing a plate electrode with the titanium nitride film 29, the depletion of the plate electrode is suppressed and the capacity loss of the capacitor C for accumulating information can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183299

(P2000-183299A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl.⁷

H01L 27/108

21/8242

識別記号

F I

H01L 27/10

テームド (参考)

621C 5F083

審査請求 未請求 請求項の数7 O L (全16頁)

(21) 出願番号

特願平10-358082

(22) 出願日

平成10年12月16日 (1998.12.16)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 飯島 晋平

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(72) 発明者 山本 智志

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

Fターム (参考) 5F083 AD10 AD26 AD48 AD61 GA09

JA39 JA40 MA06 MA17 MA19

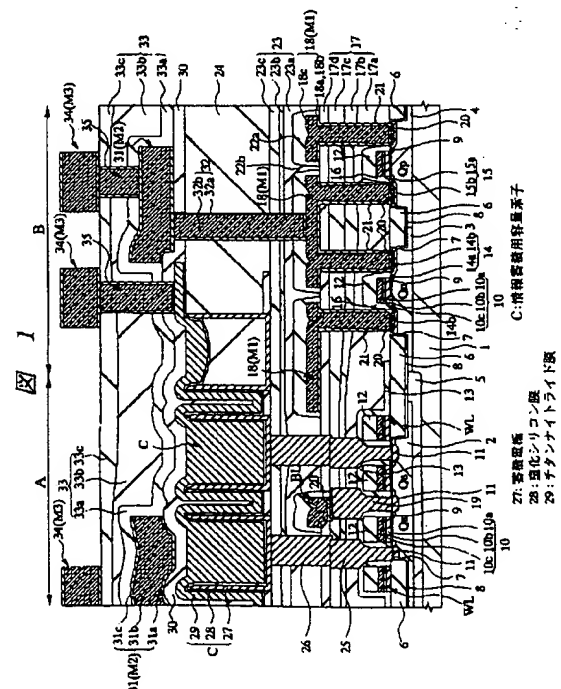
PR21

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 容量絶縁材料に窒化シリコン膜を用いる情報蓄積容量素子において、容量損失を無くすことのできる技術を提供する。

【解決手段】 情報蓄積用容量素子Cは、不純物がドーパされた多結晶シリコン膜からなる蓄積電極27と、窒化シリコン膜28からなる容量絶縁膜と、チタンナイトライド膜29からなるプレート電極とから構成されており、プレート電極をチタンナイトライド膜29で構成することによって、プレート電極の空乏化が抑えられて情報蓄積用容量素子Cの容量損失を低減することができる。



【特許請求の範囲】

【請求項1】 立体形状の蓄積電極と、膜厚が10nm以下の窒化シリコン膜を挟んで設けられる金属膜または金属化合物からなるプレート電極とによって構成される情報蓄積用容量素子を備えたメモリセルを有することを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記蓄積電極は、不純物がドーパされた多結晶シリコン膜、金属膜または金属化合物であることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置において、前記金属膜はタングステン膜であり、前記金属化合物はチタンナイトライド膜またはタングステンナイトライド膜であることを特徴とする半導体集積回路装置。

【請求項4】 請求項1記載の半導体集積回路装置において、前記蓄積電極は円筒型の構造をなしており、円筒型の蓄積電極の内壁面および外壁面に被覆された前記窒化シリコン膜、円筒型の蓄積電極の内壁面および外壁面の一部に被覆された前記窒化シリコン膜、または円筒型の蓄積電極の内壁面に被覆された前記窒化シリコン膜が容量絶縁材料として機能することを特徴とする半導体集積回路装置。

【請求項5】 請求項4記載の半導体集積回路装置において、前記窒化シリコン膜に接する前記円筒型の蓄積電極の表面に、シリコン粒からなる突起物が形成されていることを特徴とする半導体集積回路装置。

【請求項6】 請求項1～5のいずれか1項に記載の半導体集積回路装置において、前記メモリセルは、前記情報蓄積用容量素子がビット線の上に配置されたキャパシタ・オーバー・ビットライン構造のDRAMセルであることを特徴とする半導体集積回路装置。

【請求項7】 立体形状の蓄積電極と、膜厚が10nm以下の窒化シリコン膜を挟んで設けられる金属膜または金属化合物からなるプレート電極とによって構成される情報蓄積用容量素子を備えたメモリセルを形成する半導体集積回路装置の製造方法において、前記プレート電極を構成する前記金属膜または前記金属化合物は700℃以下の温度で化学的気相成長法によって形成されることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路装置およびその製造技術に関し、特に、DRAM (Dynamic Random Access Memory) を有する半導体集積回路装置およびその製造技術に適用して有効な技術に関するものである。

【0002】

【従来の技術】 半導体集積回路装置の一つに、メモリセルがメモリセル選択用MISFET (Metal Insulator

Semiconductor Field Effect Transistor) および蓄積電極と容量絶縁膜を挟んで設けられるプレート電極とからなる情報蓄積用容量素子で構成されたDRAMがある。しかし、DRAMは、その大容量化に伴いメモリセルの微細化が進み、情報蓄積用容量素子の蓄積電荷量が減少して、情報保持特性が低下するという問題がある。

【0003】 そこで、64Mbit以上のDRAMでは、情報蓄積用容量素子をビット線の上に配置するキャパシタ・オーバー・ビットライン (Capacitor Over Bit line ; COB) 構造とし、さらに、蓄積電極を円筒型またはフィン型などの立体形状とすることにより、その表面積を大きくして蓄積電荷量の増大を図っている。

【0004】 なお、円筒型の蓄積電極を備えた情報蓄積用容量素子からなるメモリセルについては、例えば培風館発行「超LSIメモリ」平成6年11月5日発行、伊藤清男著、P19に記載がある。

【0005】 上記メモリセルとしては、例えば、半導体基板の主面上に堆積した第1導電膜でメモリセル選択用MISFETのゲート電極を形成し、この第1導電膜の上層に堆積した第2導電膜でメモリセル選択用MISFETのソース、ドレインを構成する一対の不純物半導体領域に達する第1プラグを形成し、この第2導電膜の上層に堆積した第3導電膜でメモリセル選択用MISFETの一方の不純物半導体領域の上にビット線を形成し、この第3導電膜の上層に堆積した第4導電膜でメモリセル選択用MISFETの他方の不純物半導体領域の上に第1のプラグを介して第2プラグを形成し、この第4導電膜の上層に堆積した第5導電膜で情報蓄積用容量素子の下部電極である蓄積電極を形成し、この第5導電膜の上層に堆積した第6導電膜で情報蓄積用容量素子の上部電極であるプレート電極を形成する構造が考えられる。

【0006】 情報蓄積用容量素子の容量絶縁膜に窒化シリコン膜を用いる場合は、情報蓄積用容量素子の蓄積電極を構成する第5導電膜およびプレート電極を構成する第6導電膜は、被覆性の良い化学的気相成長 (Chemical Vapor Deposition : CVD) 法によって堆積される不純物、例えばリン (P) が添加された多結晶シリコン膜によって構成される。

【0007】

【発明が解決しようとする課題】 ところで、周辺回路では、メモリセル選択用MISFETのゲート電極を構成する前記第1導電膜でMISFETのゲート電極が形成され、ビット線を構成する前記第3導電膜でMISFETのソース、ドレインを構成する一対の不純物半導体領域に達して設けられる接続孔の内部に第1層配線が形成される。さらに、MISFETのソース、ドレインを構成する不純物半導体領域と第1層配線との接続抵抗を低減するために、両者の間には低抵抗のシリサイド層が設けられている。

【0008】上記シリサイド層は比較的耐熱性に乏しく、例えばチタンシリサイド層の場合、800℃以上の温度で熱処理を施すと接続抵抗が増加して導通不良などの問題が生ずる。このため、シリサイド層を形成した後の工程では、高温の熱処理を施すことができない。

【0009】一方、情報蓄積用容量素子の蓄積電極を構成する第5導電膜およびプレート電極を構成する第6導電膜は、不純物が添加された多結晶シリコン膜によって構成されるが、上記不純物を100%活性化させるためには、700℃以上の温度で熱処理を施す必要がある。

【0010】しかし、周辺回路において、シリサイド層の耐熱性の劣化に起因する前記接続抵抗の増加による導通不良などの問題を避けるためには、MISFETのソース、ドレインを構成する不純物半導体領域と第1層配線との間にシリサイド層を形成した後に、多結晶シリコン膜中の不純物を100%活性化させるに必要な高温の熱処理を施すことができない。従って、多結晶シリコン膜中の不純物の活性化が不十分となり、動作時に多結晶シリコン膜中で空乏層の幅が広がり容量損失を招いてしまう。この容量損失はリフレッシュ特性を劣化させてメモリセルの信頼性を低下させる原因となる。

【0011】本発明の目的は、容量絶縁材料に窒化シリコン膜を用いる立体構造の情報蓄積容量素子において、容量損失を無くすことのできる技術を提供することにある。

【0012】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0013】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置は、立体形状の蓄積電極と、膜厚が10nm以下の窒化シリコン膜を挟んで設けられるプレート電極とによって構成される情報蓄積用容量素子を備えたメモリセルを有しており、前記プレート電極は金属膜または金属化合物によって構成され、さらに上記蓄積電極は不純物がドーパされた多結晶シリコン膜、金属膜または金属化合物によって構成されるものである。

【0014】(2) また、本発明の半導体集積回路装置の製造方法は、立体形状の蓄積電極と、膜厚が10nm以下の窒化シリコン膜を挟んで設けられる金属膜または金属化合物からなるプレート電極とによって構成される情報蓄積用容量素子を備えたメモリセルを形成する際、上記プレート電極を構成する金属膜または金属化合物は700℃以下の温度で化学的気相成長法によって形成されるものである。

【0015】上記した手段によれば、容量絶縁材料に窒化シリコン膜を用いる情報蓄積容量素子において、プ

レート電極を被覆性の良い化学的気相成長法で形成した金属膜または金属化合物によって構成することにより、プレート電極の空乏化が生じないので情報蓄積用容量素子の容量損失を低減することができる。さらに、蓄積電極を金属膜または金属化合物によって構成することにより、プレート電極および蓄積電極の両電極の空乏化が生じないので情報蓄積用容量素子の容量損失を無くすることができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0017】図1は、本発明の一実施の形態であるDRAMを示す半導体基板の要部断面図である。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。図1において、A領域はメモリアレイの一部を示し、B領域は周辺回路の一部を示す。

【0018】p形の単結晶シリコンからなる半導体基板1の主面には、メモリアレイのp形ウェル2、周辺回路のp形ウェル3およびn形ウェル4が形成されている。また、p形ウェル2を囲むようにn形のディーブウェル5が形成されている。なお、各ウェルには、しきい値電圧調整層が形成されていてもよい。

【0019】各ウェルの主面には、分離領域6が形成されている。分離領域6は酸化シリコン膜からなり、半導体基板1の主面に形成された浅溝7に熱酸化された酸化シリコン膜8を介して形成されている。

【0020】p形ウェル2の主面にはDRAMのメモリセル選択用MISFETQsが形成されている。また、p形ウェル3およびn形ウェル4の主面には各々nチャネルMISFETQnおよびpチャネルMISFETQpが形成されている。

【0021】メモリセル選択用MISFETQsは、p形ウェル2の主面上にゲート絶縁膜9を介して形成されたゲート電極10と、ゲート電極10の両側のp形ウェル2の主面に形成された不純物半導体領域11とからなる。ゲート絶縁膜9は、例えば7~8nmの膜厚を有する熱酸化により形成された酸化シリコン膜からなる。ゲート電極10は、例えば膜厚70nmの多結晶シリコン膜10a、膜厚50nmのチタンナイトライド(TiN)膜10bおよび膜厚100nmのタングステン

(W)膜10cの積層膜とすることができる。また、不純物半導体領域11にはn形の不純物、例えば砒素(As)またはリンが導入されている。

【0022】メモリセル選択用MISFETQsのゲート電極10の上層には窒化シリコン膜からなるキャップ絶縁膜12が形成され、さらにその上層を窒化シリコン膜13で覆われる。窒化シリコン膜13は、ゲート電極10の側壁にも形成され、後に説明する接続孔を形成する際の自己整合加工に利用される。なお、メモリセル選

採用MISFETQsのゲート電極10は、DRAMのワード線として機能するものであり、分離領域6の上面にはワード線WLが形成されている。

【0023】一方、nチャネルMISFETQnは、p形ウェル3の主面上に形成され、ゲート絶縁膜9を介して形成されたゲート電極10と、ゲート電極10の両側のp形ウェル3の主面に形成された不純物半導体領域14とから構成される。ゲート絶縁膜9およびゲート電極10は前記と同様である。不純物半導体領域14は低濃度のn⁻形半導体領域14aと高濃度のn⁺形半導体領域14bとからなり、いわゆるLDD (Lightly Doped Drain) 構造を形成している。

【0024】同様に、pチャネルMISFETQpは、n形ウェル4の主面上に形成され、ゲート絶縁膜9を介して形成されたゲート電極10と、ゲート電極10の両側のn形ウェル4の主面に形成された不純物半導体領域15とから構成される。ゲート絶縁膜9およびゲート電極10は前記と同様である。不純物半導体領域15は低濃度のp⁻形半導体領域15aと高濃度のp⁺形半導体領域15bとからなり、いわゆるLDD (Lightly Doped Drain) 構造を形成している。

【0025】nチャネルMISFETQnおよびpチャネルMISFETQpのゲート電極10の上層には窒化シリコン膜からなるキャップ絶縁膜12が形成され、側面には、例えば窒化シリコン膜からなるサイドウォールスペーサ16が形成されている。

【0026】メモリセル選択用MISFETQs、nチャネルMISFETQnおよびpチャネルMISFETQpは、層間絶縁膜17で覆われている。層間絶縁膜17は、例えばSOG (Spin On Glass) 膜17a、TEOS (テトラエトキシシラン) を原料ガスとしプラズマCVD法により形成された酸化シリコン膜 (以下TEOS酸化膜という) が化学的機械研磨 (Chemical Mechanical Polishing : CMP) 法により平坦化されたTEOS酸化膜17b、TEOS酸化膜17cおよび酸化シリコン膜17dの積層膜とすることができる。

【0027】層間絶縁膜17上にはビット線BLおよび第1層配線18 (M1) が形成されている。ビット線BLおよび第1層配線18 (M1) は、例えばチタン (Ti) 膜18a、チタンナイトライド膜18bおよびタングステン膜18cの積層膜とすることができる。これにより、ビット線BLおよび第1層配線18 (M1) を低抵抗化してDRAMの性能を向上することができる。また、ビット線BLと第1層配線18 (M1) とは、後に説明するように同時に形成される。これにより工程を簡略化することができる。

【0028】ビット線BLはプラグ19を介して一対のメモリセル選択用MISFETQsに共有される不純物半導体領域11に接続される。プラグ19は、例えばn形の不純物が導入された多結晶シリコン膜とすることが

できる。また、プラグ19とビット線BLとの接続部にはチタンシリサイド (Tisiz) 膜20が形成されている。これによりビット線BLとプラグ19との間の接続抵抗を低減し、接続信頼性を向上することができる。

【0029】第1層配線18 (M1) は、接続孔21を介してnチャネルMISFETQnの不純物半導体領域14およびpチャネルMISFETQpの不純物半導体領域15に接続される。また、第1層配線18 (M1) と不純物半導体領域14、15との接続部にはチタンシリサイド膜20が形成されている。これにより第1層配線18 (M1) と不純物半導体領域14、15との間の接続抵抗を低減し、接続信頼性を向上することができる。

【0030】ビット線BLおよび第1層配線18 (M1) は窒化シリコン膜からなるキャップ絶縁膜22aおよびサイドウォールスペーサ22bで覆われ、さらに層間絶縁膜23で覆われている。層間絶縁膜23は、例えばSOG膜23a、CMP法により平坦化されたTEOS酸化膜23bおよびTEOS酸化膜23cの積層膜とすることができる。

【0031】層間絶縁膜23の上層のメモリアレイには情報蓄積用容量素子Cが形成されている。また、周辺回路の層間絶縁膜23の上層には絶縁膜24が形成されている。絶縁膜24は例えば酸化シリコン膜とすることができ、情報蓄積用容量素子Cと同層に形成することにより情報蓄積用容量素子Cの標高に起因するメモリアレイと周辺回路との間の段差の発生を防止することができる。これによりフォトリソグラフィの焦点深度に余裕を持たせることができ、工程を安定にして微細加工に対応することができる。

【0032】メモリセル選択用MISFETQsのプラグ19を介してビット線BLに接続される不純物半導体領域11とは逆の不純物半導体領域11には、プラグ19と同一層によって構成されるプラグ25が接続されている。さらに、プラグ25の上方にはプラグ26を介して情報蓄積用容量素子Cが形成されており、情報蓄積用容量素子Cは、プラグ26に接続される蓄積電極27と、窒化シリコン膜28からなる容量絶縁膜と、チタンナイトライド膜29からなるプレート電極とから構成される。

【0033】蓄積電極27は、不純物がドーブされた多結晶シリコン膜によって構成される。プレート電極には、チタンナイトライド膜の他、タングステン膜などの金属膜、タングステンナイトライド (WN) 膜などの金属化合物を使用することもできる。

【0034】情報蓄積用容量素子Cの上層には、例えばTEOS酸化膜からなる絶縁膜30を介して第2層配線31 (M2) が形成されている。第2層配線31 (M2) は、例えばチタン膜31a、アルミニウム (Al) 膜31bおよびチタンナイトライド膜31cの積層膜と

することができる。

【0035】第2層配線31(M2)は、プラグ32を介して第1層配線18(M1)に接続される。プラグ32は、例えばチタン膜およびチタンナイトライド膜の積層膜からなる接着層32aとCVD法によるタングステン膜32bの積層膜とすることができる。

【0036】第2層配線31(M2)は、層間絶縁膜33で覆われ、層間絶縁膜33の上層には第2層配線31(M2)と同様な第3層配線34(M3)が形成されている。層間絶縁膜33は、例えばTEOS酸化膜33a、SOG膜33bおよびT4OS酸化膜33cの積層膜とすることができる。また、第3層配線34(M3)と第2層配線31(M2)とはプラグ32と同様なプラグ35により接続されている。

【0037】次に、本実施の形態であるDRAMの製造方法の一例を図2～図13を用いて工程順に説明する。

【0038】まず、図2に示すように、p形で比抵抗が10Ωcm程度のシリコン単結晶からなる半導体基板1を用意し、この半導体基板1の主面に浅溝7を形成する。その後半導体基板1に熱酸化を施し、酸化シリコン膜8を形成する。さらに酸化シリコン膜を堆積してこれをCMP法により研磨して浅溝7内にのみ酸化シリコン膜を残し、分離領域6を形成する。

【0039】次に、メモリセルを形成する領域(A領域：メモリアレイ)の半導体基板1にn形不純物、例えばリンをイオン打ち込みしてディープウェル5を形成し、メモリアレイと周辺回路(B領域)の一部(nチャネルMISFETQnを形成する領域)にp形不純物、例えばホウ素(B)をイオン打ち込みしてp形ウェル2、3を形成し、周辺回路の他の一部(pチャネルMISFETQpを形成する領域)にn形不純物、例えばリンをイオン打ち込みしてn形ウェル4を形成する。また、このイオン打ち込みに続いて、MISFETのしきい値電圧を調整するための不純物、例えばフッ化ホウ素(BF₂)をp形ウェル2、3およびn形ウェル4にイオン打ち込みする。ディープウェル5は、入出力回路などから半導体基板1を通じてメモリアレイのp形ウェル2にノイズが侵入するのを防止するために形成される。

【0040】次に、図3に示すように、p形ウェル2、3およびn形ウェル4の各表面をHF(フッ酸)系の溶液を使って洗浄した後、半導体基板1を850℃程度でウェット酸化してp形ウェル2、3およびn形ウェル4の各表面に膜厚7nm程度の清浄なゲート絶縁膜9を形成する。

【0041】次に、ゲート絶縁膜9の上部にゲート電極10A、10B、10Cを形成する。ゲート電極10Aは、メモリセル選択用MISFETQsの一部を構成し、活性領域以外の領域ではワード線WLとして機能する。このゲート電極10A(ワード線WL)の幅、すなわちゲート長は、メモリセル選択用MISFETの短チ

ヤネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法で構成される。また、隣接する2本のゲート電極10A(ワード線WL)の間隔は、フォトリソグラフィの解像限界で決まる最小寸法で構成される。ゲート電極10Bおよびゲート電極10Cは、周辺回路のnチャネルMISFETQnおよびpチャネルMISFETQpの各一部を構成する。

【0042】ゲート電極10A(ワード線WL)およびゲート電極10B、10Cは、例えばリンなどのn形不純物がドーパされた膜厚70nm程度の多結晶シリコン膜10aを半導体基板1上にCVD法で堆積し、次いでその上部に膜厚50nm程度のチタンナイトライド膜10bと膜厚100nm程度のタングステン膜10cとをスパッタリング法で堆積する。さらにその上部に膜厚150nm程度のキャップ絶縁膜12、例えば窒化シリコン膜をCVD法で堆積した後、フォトレジスト膜をマスクにしてこれらの膜をパターニングすることにより形成する。チタンナイトライド膜10bは、高温熱処理時にタングステン膜10cと多結晶シリコン膜10aとが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層には、チタンナイトライド膜の他、タングステンナイトライド膜などを使用することもできる。

【0043】ゲート電極10A(ワード線WL)の一部を低抵抗の金属(タングステン)で構成した場合には、そのシート抵抗を2～2.5Ω/□程度にまで低減できるので、ワード線遅延を低減することができる。また、ゲート電極10A(ワード線WL)をアルミニウム配線などで裏打ちしなくともワード線遅延を低減できるので、メモリセルの上部に形成される配線層の数を1層減らすことができる。

【0044】次に、上記フォトレジスト膜を除去した後、フッ酸などのエッチング液を使って、半導体基板1の表面に残ったドライエッチング残渣やフォトレジスト残渣などを除去する。このウェットエッチングを行うと、ゲート電極10A(ワード線WL)およびゲート電極10B、10Cの下部以外の領域のゲート絶縁膜9が削られると同時に、ゲート側壁下部のゲート絶縁膜9も等方的にエッチングされてアンダーカットが生じるため、そのままではゲート絶縁膜9の耐圧が低下する。そこで、半導体基板1を900℃程度で酸化することによって、削れたゲート絶縁膜9の膜質を改善する。

【0045】次に、n形ウェル4にp⁺型半導体領域15aを形成する。また、p形ウェル2、3にn形不純物、例えばリンをイオン打ち込みしてゲート電極10Bの両側のp形ウェル3にn⁺型半導体領域14aを形成し、ゲート電極10Aの両側のp形ウェル2に不純物半導体領域11を形成する。これにより、メモリアレイにメモリセル選択用MISFETQsの一部を構成し、活性領域以外の領域ではワード線WLとして機能する。このゲート電極10A(ワード線WL)の幅、すなわちゲート長は、メモリセル選択用MISFETの短チ

SFETQsが形成される。

【0046】次に、図4に示すように、半導体基板1上にCVD法で膜厚50nm程度の窒化シリコン膜13を堆積した後、メモリアレイの窒化シリコン膜13をフォトリソレジスト膜で覆い、周辺回路の窒化シリコン膜13を異方性エッチングすることにより、ゲート電極10B、10Cの側壁にサイドウォールスペーサ16を形成する。このエッチングは、ゲート絶縁膜9や分離領域6に埋め込まれた酸化シリコン膜の削れ量を最少とすため、酸化シリコン膜に対する窒化シリコン膜13のエッチングレートが大きくなるようなエッチングガスを使用して行う。また、ゲート電極10B、10C上の窒化シリコン膜によって構成されるキャップ絶縁膜12の削れ量を最少とすために、オーバーエッチング量を必要最小限にとどめるようにする。

【0047】次に、上記フォトリソレジスト膜を除去した後、周辺回路のn形ウエル4にp形不純物、例えばホウ素をイオン打ち込みしてpチャネルMISFETQpのp⁺型半導体領域15b（ソース、ドレイン）を形成し、周辺回路のp形ウエル3にn形不純物、例えば砒素をイオン打ち込みしてnチャネルMISFETQnのn⁺型半導体領域14b（ソース、ドレイン）を形成する。これにより、周辺回路にpチャネルMISFETQpおよびnチャネルMISFETQnが形成される。

【0048】次に、図5に示すように、半導体基板1上に膜厚300nm程度のSOG膜17aをスピン塗布した後、半導体基板1を800℃、1分程度熱処理してSOG膜17aをシンタリング（焼き締め）する。

【0049】次に、SOG膜17aの上部に膜厚600nm程度のTEOS酸化膜17bを堆積した後、このTEOS酸化膜17bをCMP法で研磨してその表面を平坦化する。TEOS酸化膜17bは、例えばオゾン（O₃）とテトラエトキシシランとをソースガスに用いたプラズマCVD法で堆積する。

【0050】次に、TEOS酸化膜17bの上部に膜厚100nm程度のTEOS酸化膜17cを堆積する。このTEOS酸化膜17cは、CMP法で研磨されたときに生じた前記TEOS酸化膜17bの表面の微細な傷を補修するために堆積する。TEOS酸化膜17cは、例えばオゾンとテトラエトキシシランとをソースガスに用いたプラズマCVD法で堆積する。TEOS酸化膜17bの上部には、TEOS酸化膜17cに代えてPSG（Phospho Silicate Glass）膜を堆積してもよい。

【0051】次に、TEOS酸化膜17cの上部にフォトリソレジスト膜36を形成し、このフォトリソレジスト膜36をマスクにしたドライエッチングでメモリセル選択用MISFETQsの不純物半導体領域11（ソース、ドレイン）の上部のTEOS酸化膜17c、17bおよびSOG膜17aを除去する。

【0052】なお、上記エッチングは、窒化シリコン膜

13に対するTEOS酸化膜17c、17bおよびSOG膜17aのエッチングレートが大きくなるような条件で行い、不純物半導体領域11や分離領域6の上部を覆っている窒化シリコン膜13が完全には除去されないようにする。

【0053】続いて、上記フォトリソレジスト膜36をマスクにしたドライエッチングでメモリセル選択用MISFETQsの不純物半導体領域11（ソース、ドレイン）の上部の窒化シリコン膜13とゲート絶縁膜9とを除去することにより、不純物半導体領域11（ソース、ドレイン）の一方の上部に接続孔37を形成し、他方の上部に接続孔38を形成する。このエッチングは、酸化シリコン膜（ゲート絶縁膜9および分離領域6内の酸化シリコン膜）に対する窒化シリコン膜13のエッチングレートが大きくなるような条件で行い、不純物半導体領域11や分離領域6が深く削れないようにする。また、このエッチングは、窒化シリコン膜13が異方的にエッチングされるような条件で行い、ゲート電極10A（ワード線WL）の側壁に窒化シリコン膜13が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有する接続孔37、38がゲート電極10A（ワード線WL）に対して自己整合で形成される。接続孔37、38をゲート電極10A（ワード線WL）に対して自己整合で形成するには、あらかじめ窒化シリコン膜13を異方性エッチングしてゲート電極10A（ワード線WL）の側壁にサイドウォールスペーサを形成しておいてもよい。

【0054】次に、フォトリソレジスト膜36を除去した後、図6に示すように、接続孔37、38の内部にプラグ19、25をそれぞれ形成する。プラグ19、25は、TEOS酸化膜17cの上部にn形不純物（例えばリン）をドーブした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨して接続孔37、38の内部に残すことにより形成する。

【0055】次に、図7に示すように、TEOS酸化膜17cの上部に膜厚200nm程度の酸化シリコン膜17dを堆積した後、半導体基板1を800℃程度で熱処理する。酸化シリコン膜17dは、例えばオゾンとテトラエトキシシランとをソースガスに用いたプラズマCVD法で堆積されたTEOS酸化膜である。また、この熱処理によって、プラグ19、25を構成する多結晶シリコン膜中のn形不純物が接続孔37、38の底部からメモリセル選択用MISFETQsの不純物半導体領域11（ソース、ドレイン）に拡散し、不純物半導体領域11が低抵抗化される。

【0056】次に、フォトリソレジスト膜をマスクにしたドライエッチングで前記接続孔37の上部の酸化シリコン膜17dを除去してプラグ19の表面を露出させる。次に、上記フォトリソレジスト膜を除去した後、フォトリソレジスト膜をマスクにしたドライエッチングで周辺回路の酸化

シリコン膜17d、17c、17b、SOG膜17aおよびゲート絶縁膜9を除去することにより、nチャネルMISFETQnのn⁺型半導体領域14b（ソース、ドレイン）の上部、およびpチャネルMISFETのp⁺型半導体領域15b（ソース、ドレイン）の上部に接続孔21を形成する。

【0057】次に、上記フォトリソ膜を除去した後、図8に示すように、酸化シリコン膜17dの上部にビット線BLと周辺回路の第1層配線18（M1）とを形成する。ビット線BLおよび第1層配線18（M1）は、例えば酸化シリコン膜17dの上部に膜厚50nm程度のチタン膜18aと膜厚50nm程度のチタナイトライド膜18bとをスパッタリング法で堆積し、さらにその上部に膜厚150nm程度のタンゲステン膜18cと膜厚200nm程度の窒化シリコン膜22aとをCVD法で堆積した後、フォトリソ膜をマスクにしてこれらの膜をパターンニングすることにより形成する。

【0058】酸化シリコン膜17dの上部にチタン膜を堆積した後、半導体基板1を800℃程度で熱処理することにより、nチャネルMISFETのn⁺形半導体領域14b（ソース、ドレイン）の表面、pチャネルMISFETのp⁺形半導体領域15b（ソース、ドレイン）の表面および接続孔37に埋め込まれたプラグ19の表面に低抵抗のチタンシリサイド層20が形成される。これにより、n⁺形半導体領域14b、p⁺形半導体領域15bおよびプラグ19に接続される配線（ビット線BL、第1層配線18（M1））の接続抵抗を低減することができる。また、ビット線BLをタンゲステン膜/チタナイトライド膜/チタン膜で構成することにより、そのシート抵抗を2Ω/□以下にまで低減できるので、ビット線BLと周辺回路の第1層配線18（M1）とを同一工程で同時に形成することができる。

【0059】次に、上記フォトリソ膜を除去した後、ビット線BLおよび第1層配線18（M1）の側壁にサイドウォールスペーサ22bを形成する。サイドウォールスペーサ22bは、ビット線BLおよび第1層配線18（M1）の上部にCVD法で窒化シリコン膜を堆積した後、この窒化シリコン膜を異方性エッチングして形成する。

【0060】次に、図9に示すように、ビット線BLおよび第1層配線18（M1）の上部に膜厚300nm程度のSOG膜23aをスピン塗布した後、半導体基板1を800℃、1分程度熱処理してSOG膜23aをシンタリング（焼き締め）する。

【0061】次に、SOG膜23aの上部に膜厚600nm程度のTEOS酸化膜23bを堆積した後、このTEOS酸化膜23bをCMP法で研磨してその表面を平坦化する。TEOS酸化膜23bは、例えばオゾンとテトラエトキシシランとをソースガスに用いたプラズマCVD法で堆積する。

【0062】次に、TEOS酸化膜23bの上部に膜厚100nm程度のTEOS酸化膜23cを堆積する。このTEOS酸化膜23cは、CMP法で研磨されたときに生じた前記TEOS酸化膜23bの表面の微細な傷を補修するために堆積する。TEOS酸化膜23cは、例えばオゾンとテトラエトキシシランとをソースガスに用いたプラズマCVD法で堆積する。

【0063】次に、フォトリソ膜をマスクにしたドライエッチングで接続孔38に埋め込まれたプラグ25の上部のTEOS酸化膜23c、23b、SOG膜23aおよび酸化シリコン膜17dを除去してプラグ25の表面に達するスルーホール39を形成する。このエッチングは、TEOS酸化膜23c、23b、酸化シリコン膜17dおよびSOG膜23aに対する窒化シリコン膜のエッチングレートが大きくなるような条件で行い、スルーホール39とビット線BLの合わせずれが生じた場合でも、ビット線BLの上部の窒化シリコン膜22aやサイドウォールスペーサ22bが深く割れないようにする。これにより、スルーホール39がビット線BLに対して自己整合で形成される。

【0064】次に、上記フォトリソ膜を除去した後、スルーホール39の内部にプラグ26を形成する。プラグ26は、TEOS酸化膜23cの上部にn形不純物（例えばリン）をドーブした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール39の内部に残すことにより形成する。

【0065】次に、図10に示すように、TEOS酸化膜23cの上部に膜厚100nm程度の窒化シリコン膜40をCVD法で堆積した後、フォトリソ膜をマスクにしたドライエッチングで周辺回路の窒化シリコン膜40を除去する。メモリアレイに残った窒化シリコン膜40は、後述する情報蓄積用容量素子Cの蓄積電極27を形成する工程で隣接する蓄積電極27間の酸化シリコン膜をエッチングする際のエッチングストッパとして利用される。

【0066】次に、上記フォトリソ膜を除去した後、窒化シリコン膜40の上部に膜厚1.3μm程度の絶縁膜24を堆積し、フォトリソ膜をマスクにしたドライエッチングで絶縁膜24および窒化シリコン膜40を除去することにより、スルーホール39の上部に溝41を形成する。このとき同時に、メモリアレイの周囲にメモリアレイを取り囲む枠状の溝41aを形成する。絶縁膜24は、例えばオゾンとテトラエトキシシランとをソースガスに用いたプラズマCVD法で堆積されたTEOS酸化膜である。

【0067】次に、上記フォトリソ膜を除去した後、絶縁膜24の上部にn形不純物（例えばリン）をドーブした膜厚60nm程度の多結晶シリコン膜42をCVD法を用いて約600℃の温度で堆積する。この多結

晶シリコン膜42は、情報蓄積用容量素子Cの蓄積電極材料として使用される。

【0068】次に、図11に示すように、多結晶シリコン膜42の上部に溝41、41aの深さよりも厚い膜厚（例えば2μm程度）のSOG膜43をスピン塗布した後、SOG膜43をエッチバックし、さらに絶縁膜24の上部の多結晶シリコン膜42をエッチバックすることにより、溝41、41aの内側（内壁および底部）に多結晶シリコン膜42を残す。

【0069】次に、周辺回路の酸化シリコン膜24を覆うフォトレジスト膜をマスクに溝41の内部のSOG膜43と溝41の隙間の絶縁膜24とをウェットエッチングして情報蓄積用容量素子Cの蓄積電極27を形成する。このとき、溝41の隙間には窒化シリコン膜40が残っているので、その下部のTEOS酸化膜23cがエッチングされることはない。また、周辺回路の絶縁膜24を覆う上記フォトレジスト膜は、その一端をメモリアレイの最も外側に形成される蓄積電極27と周辺回路との境界部、すなわち溝41aの上部に配置する。このようにすると、フォトレジスト膜の端部に合わせずれが生じた場合でも、メモリアレイの最も外側に形成される蓄積電極27の溝41の内部にSOG膜43が残ったり、周辺回路の絶縁膜24がエッチングされたりすることはない。

【0070】次に、図12に示すように、上記フォトレジスト膜を除去した後、蓄積電極27の上部に膜厚10nm程度以下の窒化シリコン膜28をCVD法を用いて約750℃の温度で堆積する。この窒化シリコン膜28は、情報蓄積用容量素子Cの容量絶縁膜材料として使用される。なお、窒化シリコン膜28の堆積時に、多結晶シリコン膜42にドーパされたn形不純物が活性化される。

【0071】次に、窒化シリコン膜28の上部に膜厚150nm程度のチタンナイトライド膜29をCVD法を用いて約500℃の温度で堆積した後、フォトレジスト膜をマスクにしたドライエッチングでチタンナイトライド膜29および窒化シリコン膜28をパターニングすることにより、チタンナイトライド膜29からなるプレート電極と、窒化シリコン膜28からなる容量絶縁膜と、多結晶シリコン膜42からなる蓄積電極27とで構成される情報蓄積用容量素子Cを形成する。これにより、メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子Cとで構成されるDRAMのメモリセルが形成される。

【0072】次に、図13に示すように、TEOS酸化膜を半導体基板1の全面に堆積して絶縁膜30とし、周辺回路に第1層配線18（M1）に接続される接続孔を開口し、プラグ32を形成する。プラグ32は、チタン膜およびチタンナイトライド膜からなる接着層32aを半導体基板1の全面に堆積し、さらにブランケットCVD

D法によりタングステン膜32bを堆積して、その後タングステン膜32bおよび接着層32aをエッチバックすることにより形成することができる。なお、チタン膜およびチタンナイトライド膜はスパッタリング法により形成することができるが、CVD法により形成することもできる。さらに、半導体基板1の全面にチタン膜31a、アルミニウム膜31bおよびチタンナイトライド膜31cをスパッタリング法により堆積し、これをパターニングして第2層配線31（M2）を形成する。

【0073】最後に、TEOS酸化膜33a、SOG膜33bおよびTEOS酸化膜33cを堆積して層間絶縁膜33を形成し、第2層配線31（M2）と同様にプラグ35を形成し、さらに第3層配線34（M3）を形成して、図1に示すDRAMがほぼ完成する。その後、多層配線および最上層の配線の上部にパッシベーション膜を堆積するが、その図示は省略する。

【0074】次に、本実施の形態を適用した他の情報蓄積用容量素子の構造を示す半導体基板の要部断面図を図14～図18を用いて説明する。

【0075】図14は、前記図12に示した蓄積電極27を構成する多結晶シリコン膜42の内壁面および外壁面に、シリコン粒からなる突起物44が形成された情報蓄積用容量素子Cを示す。蓄積電極27を構成する多結晶シリコン膜42の内壁面および外壁面に形成されたシリコン粒からなる突起物44を被覆する窒化シリコン膜28が容量絶縁材料として機能する。

【0076】図15は、前記図12に示した隣接する蓄積電極27の隙間の窒化シリコン膜40の上部に絶縁膜24が一部埋め込まれた情報蓄積用容量素子Cを示す。蓄積電極27を構成する多結晶シリコン膜42の内壁面および外壁面の一部を被覆する窒化シリコン膜28が容量絶縁材料として機能する。

【0077】図16は、前記図15に示した蓄積電極27を構成する多結晶シリコン膜42の内壁面および外壁面の一部に、シリコン粒からなる突起物44が形成された情報蓄積用容量素子Cを示す。蓄積電極27を構成する多結晶シリコン膜42の内壁面および外壁面の一部に形成されたシリコン粒からなる突起物44を被覆する窒化シリコン膜28が容量絶縁材料として機能する。

【0078】図17は、前記図12に示した隣接する蓄積電極27の隙間の窒化シリコン膜40の上部に絶縁膜24が埋め込まれた情報蓄積用容量素子Cを示す。蓄積電極27を構成する多結晶シリコン膜42の内壁面を被覆する窒化シリコン膜28が容量絶縁材料として機能する。

【0079】図18は、前記図17に示した蓄積電極27を構成する多結晶シリコン膜42の内壁面に、シリコン粒からなる突起物44が形成された情報蓄積用容量素子Cを示す。蓄積電極27を構成する多結晶シリコン膜42の内壁面に形成されたシリコン粒からなる突起物4

4を被覆する窒化シリコン膜28が容量絶縁材料として機能する。

【0080】なお、本実施の形態では、蓄積電極27は、不純物がドーパされた多結晶シリコン膜によって構成されたが、金属膜（例えばタングステン膜）または金属化合物（例えばチタンナイトライド膜またはタングステンナイトライド膜）によって構成してもよい。

【0081】図19は、蓄積電極およびプレート電極が金属膜によって構成された容量素子(i)、蓄積電極が多結晶シリコン膜によって構成され、プレート電極が金属膜によって構成された容量素子(ii)、および蓄積電極およびプレート電極が多結晶シリコン膜によって構成された容量素子(iii)における最大容量に対する容量比とプレート電極の電圧との関係を示す。

【0082】容量素子(iii)は、プレート電極を正に印加するとプレート電極が空乏化し、負に印加すると蓄積電極が空乏化して、いずれの印加条件においても容量損失を生ずる。容量素子(ii)は、プレート電極が空乏化しないので、プレート電極を負に印加した場合に空乏化によって容量損失が生ずる。容量素子(i)は、プレート電極および蓄積電極が空乏化しないので、いずれの印加条件においても容量損失は生じない。

【0083】このように、本実施の形態によれば、プレート電極を被覆性の良いCVD法で形成したチタンナイトライド膜29によって構成することにより、プレート電極の空乏化が生じないので情報蓄積用容量素子Cの容量損失を低減することができる。さらに、蓄積電極27を金属膜（例えばタングステン膜）または金属化合物（例えばチタンナイトライド膜またはタングステンナイトライド膜）によって構成することにより、プレート電極および蓄積電極27の両電極の空乏化が生じないので情報蓄積用容量素子Cの容量損失を無くすることができる。

【0084】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0085】例えば、本実施の形態では、DRAMに適用した場合について説明したが、ロジック回路とDRAMとが混載されたロジック混載形DRAM、または情報蓄積用容量素子が搭載されたいかなる半導体集積回路装置にも適用可能である。

【0086】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0087】本発明によれば、容量絶縁材料に窒化シリコン膜を用いる立体構造の情報蓄積用容量素子において、プレート電極を被覆性の良いCVD法によって形成

された金属膜または金属化合物によって構成することにより、プレート電極の空乏化が生じないので情報蓄積用容量素子の容量損失を低減することができる。さらに、蓄積電極を金属膜または金属化合物によって構成することにより、プレート電極および蓄積電極の両電極の空乏化が生じないので情報蓄積用容量素子の容量損失を無くすることができる。

【0088】また、容量損失の無い情報蓄積用容量素子を得ることができるので、DRAMにおけるリフレッシュ特性のマージンが拡大できて、低電圧化、低電力化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMを示す半導体基板の要部断面図である。

【図2】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要部断面図である。

【図3】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要部断面図である。

【図4】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要部断面図である。

【図5】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要部断面図である。

【図6】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要部断面図である。

【図7】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要部断面図である。

【図8】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要部断面図である。

【図9】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要部断面図である。

【図10】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要部断面図である。

【図11】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要部断面図である。

【図12】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要部断面図である。

【図13】本発明の一実施の形態である情報蓄積用容量素子を有するDRAMの製造方法を示す半導体基板の要

部断面図である。

【図14】本発明の一実施の形態である情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図15】本発明の一実施の形態である情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図16】本発明の一実施の形態である情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図17】本発明の一実施の形態である情報蓄積用容量素子を示す半導体基板の要部断面図である。

【図18】本発明の一実施の形態である情報蓄積用容量素子を示す半導体基板の要部断面図である。

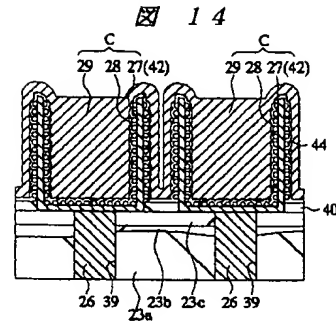
【図19】容量素子の最大容量に対する容量比とプレート電極の電圧との関係を示すグラフ図である。

【符号の説明】

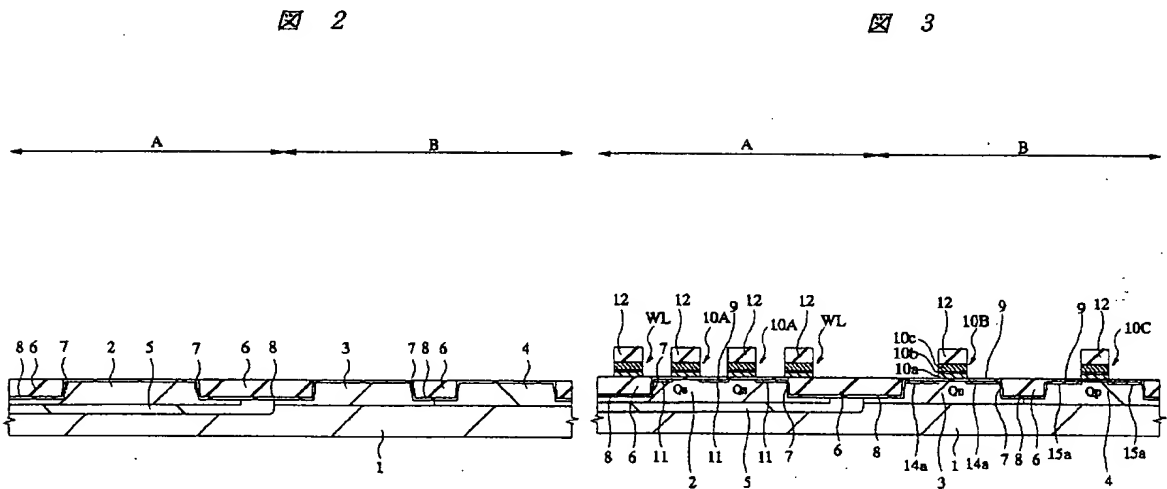
1 半導体基板
2 p形ウェル
3 p形ウェル
4 n形ウェル
5 ディープウェル
6 分離領域
7 浅溝
8 酸化シリコン膜
9 ゲート絶縁膜
10 ゲート電極
10A ゲート電極
10B ゲート電極
10C ゲート電極
10a 多結晶シリコン膜
10b チタンナイトライド膜
10c タングステン膜
11 不純物半導体領域
12 キャップ絶縁膜
13 窒化シリコン膜
14 不純物半導体領域
14a n⁻形半導体領域
14b n⁺形半導体領域
15 不純物半導体領域
15a p⁻形半導体領域
15b p⁺形半導体領域
16 サイドウォールスペーサ
17 層間絶縁膜
17a SOG膜
17b TEOS酸化膜
17c TEOS酸化膜
17d 酸化シリコン膜
18 (M1) 第1層配線
18a チタン膜
18b チタンナイトライド膜

18c タングステン膜
19 プラグ
20 チタンシリサイド層
21 接続孔
22a 窒化シリコン膜
22b サイドウォールスペーサ
23 層間絶縁膜
23a SOG膜
23b TEOS酸化膜
23c TEOS酸化膜
24 絶縁膜
25 プラグ
26 プラグ
27 蓄積電極
28 窒化シリコン膜
29 チタンナイトライド膜
30 絶縁膜
31 (M2) 第2層配線
31a チタン膜
31b アルミニウム膜
31c チタンナイトライド膜
32 プラグ
32a 接着層
32b タングステン膜
33 層間絶縁膜
33a TEOS酸化膜
33b SOG膜
33c TEOS酸化膜
34 (M3) 第3層配線
35 プラグ
36 フォトリジスト膜
37 接続孔
38 接続孔
39 スルーホール
40 窒化シリコン膜
41 溝
41a 溝
42 多結晶シリコン膜
43 SOG膜
44 シリコン粒からなる突起物
A メモリアレイ領域
B 周辺回路領域
WL ワード線
BL ビット線
C 情報蓄積用容量素子
Qs メモリセル選択用MISFET
Qn nチャネルMISFET
Qp pチャネルMISFET

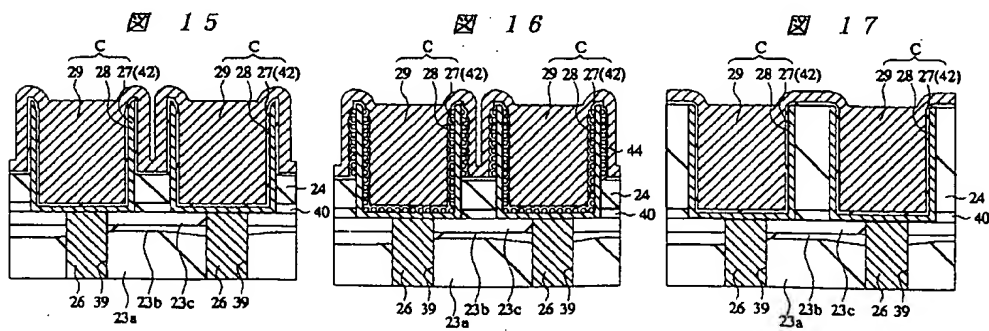
【图 1-4】



【図 3】

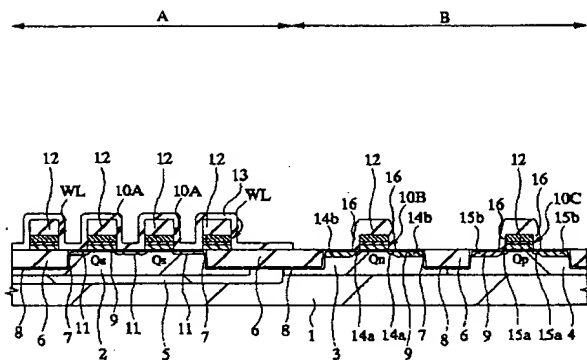


【図 17】



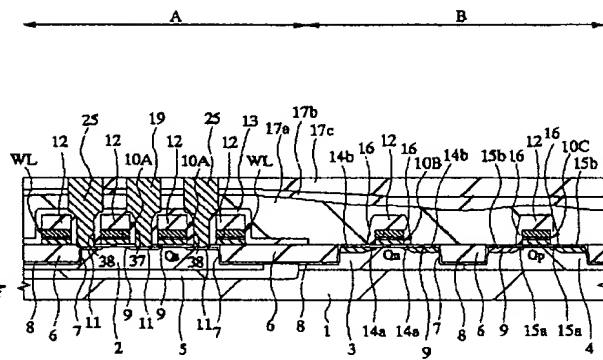
【図4】

図 4



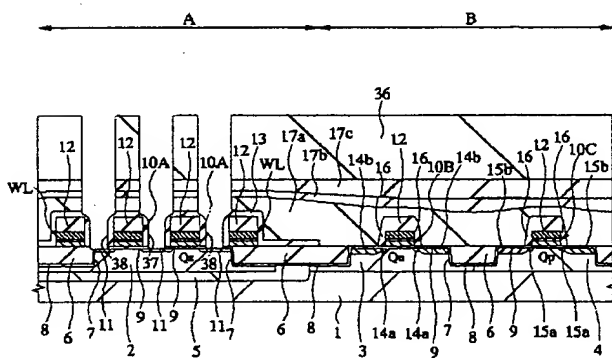
【図6】

図 6



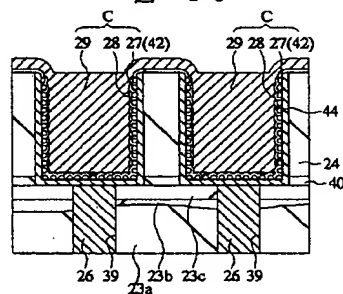
【図5】

図 5



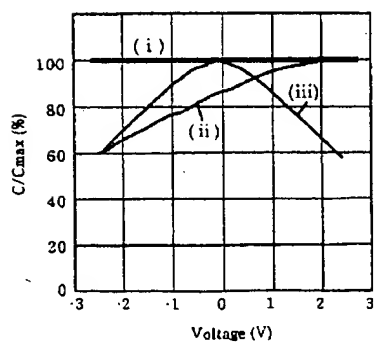
【図18】

図 18



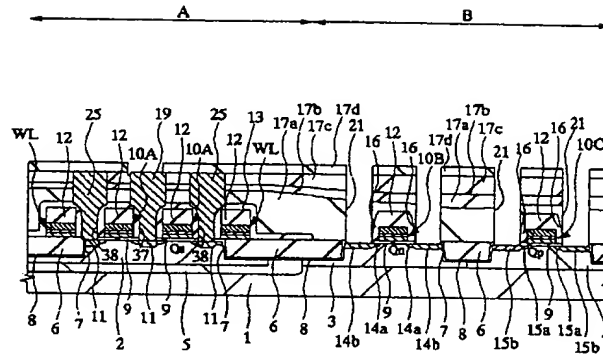
【図19】

図 19



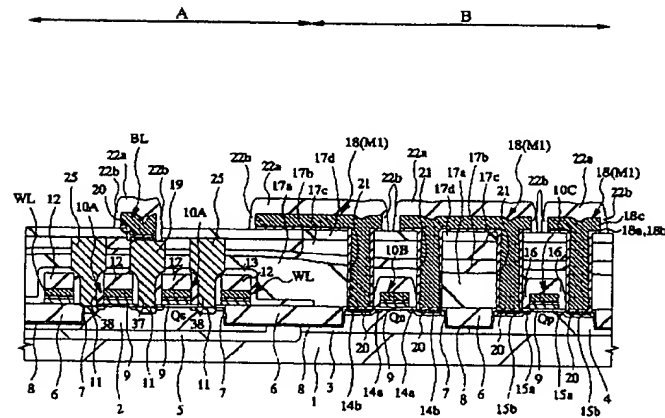
【図7】

図 7



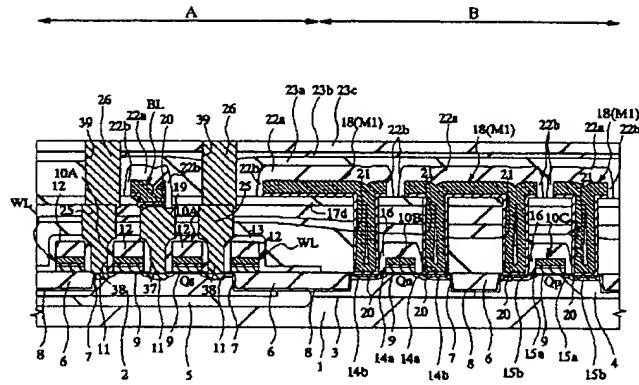
【図8】

図 8



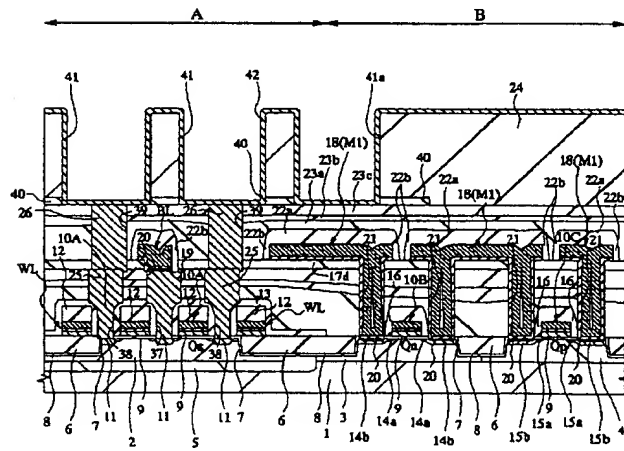
【図9】

図 9



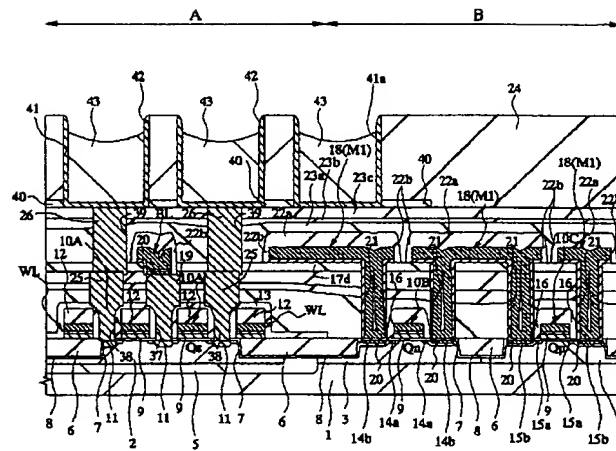
【図10】

図 10



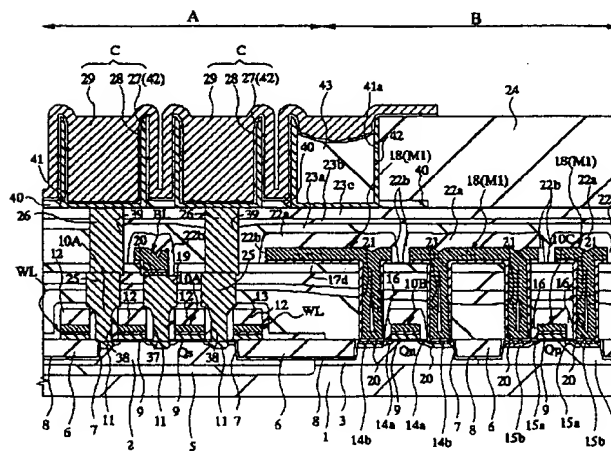
【図11】

図 11

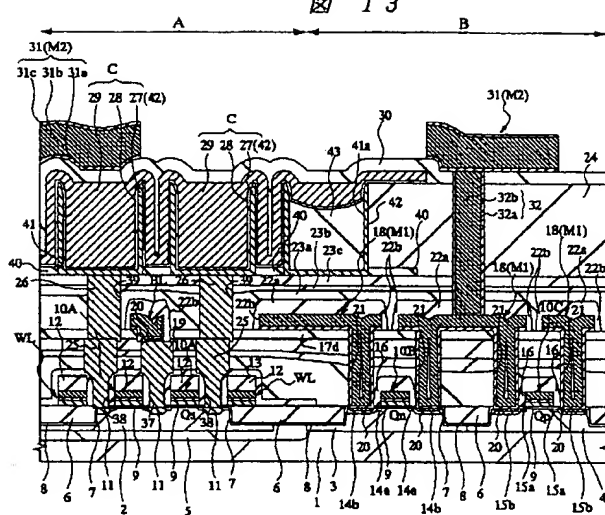


【図12】

図 12



13



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.